

24.02.99

EKW

097622424

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

REC'D 16 APR 1999

WIPO PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1998年 3月 5日

出 願 番 号

Application Number:

平成10年特許願第054017号

出 願 人

Applicant (s):

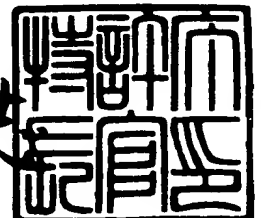
鐘紡株式会社

PRIORITY
DOCUMENTSUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

1999年 4月 2日

特許庁長官
Commissioner,
Patent Office

山 建 志



出証番号 出証特平11-3019518

【書類名】 特許願

【整理番号】 KB98-004

【提出日】 平成10年 3月 5日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 15/66
H03M 7/40

【発明の名称】 データ処理装置

【請求項の数】 5

【発明者】

 【住所又は居所】 大阪市都島区友誼町1丁目5番90号 鐘紡株式会社内

 【氏名】 平野 憲司

【発明者】

 【住所又は居所】 長岡京市東神足1-3-11 ベルク長岡京104号

 【氏名】 北村 臣二

【特許出願人】

 【識別番号】 000000952

 【氏名又は名称】 鐘紡株式会社

 【代表者】 石原 聰一

【代理人】

 【識別番号】 100098305

 【弁理士】

 【氏名又は名称】 福島 祥人

 【電話番号】 06-330-5625

【手数料の表示】

 【予納台帳番号】 032920

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9724184

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ処理装置

【特許請求の範囲】

【請求項 1】 複数行および複数列の二次元のデータからなるブロックを処理するデータ処理装置であって、

ブロックのデータを記憶する記憶手段と、

前記記憶手段にブロックのデータを第 1 のスキャン順に書き込む書き込み手段と、

前記記憶手段に記憶されたブロックのデータを第 2 のスキャン順に読み出す読み出し手段とを備え、

前記記憶手段は n 個のメモリを含み、 n は 2 以上の整数であり、ブロックのデータは、第 1 のスキャン順において連続する n 個のデータが異なる n 個のメモリに記憶されるとともに第 2 のスキャン順において連続する n 個のデータが異なる n 個のメモリに記憶されるように前記 n 個のメモリに振り分けられ、

前記書き込み手段は、第 1 のスキャン順において異なるメモリに同時にデータを書き込み、

前記読み出し手段は、第 2 のスキャン順において異なるメモリから同時にデータを読み出すことを特徴とするデータ処理装置。

【請求項 2】 m 行および m 列の二次元のデータからなるブロックを処理するデータ処理装置であって、

ブロックのデータを記憶する記憶手段と、

前記記憶手段にブロックのデータを第 1 のスキャン順に書き込む書き込み手段と、

前記記憶手段に記憶されたブロックのデータを第 2 のスキャン順に読み出す読み出し手段とを備え、

前記記憶手段は n 個のメモリを含み、前記 n は m の 2 以上の約数であり、ブロックのデータは、第 1 のスキャン順において連続する n 個のデータが異なる n 個のメモリに記憶されるとともに第 2 のスキャン順において連続する n 個のデータが異なる n 個のメモリに記憶されるように前記 n 個のメモリに振り分けられ、

前記書き込み手段は、第1のスキャン順において異なる n 個のメモリに同時にデータを書き込み、

前記読み出し手段は、第2のスキャン順において異なる n 個のメモリから同時にデータを読み出すことを特徴とするデータ処理装置。

【請求項3】 前記 m は8であり、前記 n は2、4または8であることを特徴とする請求項2記載のデータ処理装置。

【請求項4】 前記第1のスキャン順は列方向および行方向のうち一方の方向のラスタスキャン順であり、前記第2のスキャン順は列方向および行方向のうち他方の方向のラスタスキャン順であることを特徴とする請求項1、2または3記載のデータ処理装置。

【請求項5】 前記第1のスキャン順はラスタスキャン順およびジグザグスキャン順の一方であり、前記第2のスキャン順はラスタスキャン順およびジグザグスキャン順の他方であることを特徴とする請求項1、2または3記載のデータ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像データを処理するデータ処理装置に関する。

【0002】

【従来の技術】

画像データは非常に多くの情報量を含んでいる。そのため、画像データをそのままの形で処理するのは、メモリ容量および通信速度の点で実用的ではない。そこで、画像データ圧縮技術が重要となる。

【0003】

画像データ圧縮技術の国際標準の一つとしてJ P E G (Joint Photographic Expert Group)がある。J P E Gでは、非可逆符号化を行うD C T (離散コサイン変換)方式と、二次元空間でD P C M (Differential PCM)を行う可逆符号化方式が採用されている。以下、D C T方式の画像データ圧縮を説明する。

【0004】

図13はDCT方式の画像データ圧縮および画像データ伸長を実行するためのシステムの基本構成を示すブロック図である。

【0005】

符号化側では、DCT処理部100が、入力される原画像データに離散コサイン変換（以下、DCTと呼ぶ）処理を行い、DCT係数を出力する。量子化部200は、量子化テーブル400を参照してDCT処理部100から出力されたDCT係数に量子化を行い、量子化されたDCT係数を出力する。この量子化により画質および符号化情報量が制御される。ハフマン符号化部300は、符号化テーブル500を参照して量子化部200から出力されたDCT係数にハフマン符号化処理を行い、圧縮画像データを出力する。

【0006】

復号化側では、ハフマン復号化部600が、符号化テーブル500を参照して圧縮画像データにハフマン復号化処理を行い、量子化されたDCT係数を出力する。逆量子化部700は、量子化テーブル400を参照して量子化されたDCT係数に逆量子化を行い、DCT係数を出力する。逆DCT処理部800は、DCT係数に逆DCT処理を行い、再生画像データを出力する。

【0007】

次に、DCT処理部100によるDCT処理について説明する。まず、図14に示すように、画像データを複数の 8×8 画素ブロックに分割する。図15に示すように、1つの 8×8 画素ブロック内には、64個の画素データ P_{XY} （ $X, Y = 0, \dots, 7$ ）が含まれる。分割された各 8×8 画素ブロックに対して、数1による二次元DCTを行う。

【0008】

【数1】

$$S_{UV} = \frac{1}{4} C_U C_V \sum_{X=0}^7 \sum_{Y=0}^7 (P_{XY} - L_S) \cos \frac{(2X+1)U\pi}{16} \cos \frac{(2Y+1)V\pi}{16}$$

【0009】

ここで、 S_{UV} （ $U, V = 0, \dots, 7$ ）はDCT係数を表す。画素データ P_{XY} の

ビット精度が8ビットの場合には $L_S = 128$ となり、画素データ P_{XY} のビット精度が12ビットの場合には $L_S = 2048$ となる。

【0010】

DCT処理の結果、64個のDCT係数 S_{UV} が得られる。DCT係数 S_{00} はDC係数と呼ばれ、残りの63個のDCT係数はAC係数と呼ばれる。図15に示すように、DCT処理されたブロックの左から右に進むにつれて高周波の水平周波数成分を多く含み、上から下へ進むにつれて高周波の垂直周波数成分を多く含むことになる。

【0011】

一方、逆DCT処理部800では、数2に示す逆DCT処理によりDCT係数 S_{UV} から64個の画素データ P_{XY} ($X, Y = 0, \dots, 7$)を得る。

【0012】

【数2】

$$P_{XY} = \frac{1}{4} \sum_{U=0}^7 \sum_{V=0}^7 C_U C_V S_{UV} \cos \frac{(2X+1)U\pi}{16} \cos \frac{(2Y+1)V\pi}{16} + L_S$$

【0013】

図16に示すように、二次元DCTは、2つの一次元DCT回路110, 130および転置メモリ120により行われる。ここで、 8×8 画素ブロックの横方向を行方向とし、縦方向を列方向とする。

【0014】

一次元DCT回路110は、画素データ f_X に関して数3による一次元DCTを行い、その結果を示す一次元DCT係数 F_U を転置メモリ120の各行に書き込む。

【0015】

【数3】

$$F_U = \frac{1}{4} C_U \sum_{x=0}^7 f_x \cos \frac{(2X+1)U\pi}{16}$$

【0016】

一次元DCT回路130は、転置メモリ120の各列に記憶される一次元DCT係数 F_U に関して一次元DCTを行い、その結果をDCT係数 S_{UV} として出力する。

【0017】

なお、一次元逆DCTは、数4により表される。

【0018】

【数4】

$$f_x = \sum_{U=0}^7 C_U F_U \cos \frac{(2X+1)U\pi}{16}$$

【0019】

次に、ハフマン符号化部300によるハフマン符号化処理について説明する。図17に量子化部200から出力されるDCT係数の一例を示す。図17において、“A”，“B”，“C”，“D”，“E”，“F”は“0”以外の値を表わしている。

【0020】

DC係数の符号化では、1つ前のブロックのDC係数と現在のブロックのDC係数との差分値を求め、その差分値に対してハフマン符号が割り当てられる。

【0021】

AC係数の符号化では、図18に示すように、AC係数が、まず、ジグザグスキャンによって一次元に配列される。この一次元に配列されたAC係数は、連続する“0”の係数（無効係数）の長さを示すラン長と、“0”以外の係数（有効係数）の値とを用いて符号化される。有効係数はグループ分けされ、各有効係数にグループ番号が割り当てられる。AC係数の符号化では、ラン長とグループ番号との組み合わせに対してハフマン符号が割り当てられる。上記のようにして、原画像データが圧縮画像データに符号化される。

【0022】

【発明が解決しようとする課題】

上記のように、J P E G方式では 8×8 の64個のデータからなるブロックを1つの処理単位として取り扱う。D C T処理では、各ブロックのデータに対して行方向の一次元D C Tおよび列方向の一次元D C Tを行うことにより、二次元D C Tを行っている。同様に、逆D C T処理では、各ブロックのデータに対して行方向の一次元逆D C Tおよび列方向の一次元逆D C Tを行うことにより、二次元逆D C Tを行っている。このようなD C T処理および逆D C T処理では、1つのブロックの64個のデータを記憶する転置メモリが用いられる。

【0023】

この場合、図19(a)に示すように、転置メモリT Mに行方向のラスタスキャン順にデータを書き込み、図19(b)に示すように、転置メモリT Mに記憶されたデータを列方向のラスタスキャン順に読み出す。それにより、各ブロックのデータを行方向のラスタスキャン順から列方向のラスタスキャン順に並べ替えることができる。

【0024】

一方、ハフマン符号化処理およびハフマン復号化処理においては、1つのブロックの64個のデータを記憶するバンクメモリが用いられる。符号化側では、図20(a)に示すように、バンクメモリB Mにラスタスキャン順にデータを書き込み、図20(b)に示すように、バンクメモリB Mに記憶されたデータをジグザグスキャン順に読み出す。それにより、各ブロックのデータをラスタスキャン順からジグザグスキャン順に並べ替えることができる。復号化側では、図20(b)に示すように、バンクメモリB Mにジグザグスキャン順にデータを書き込み、図20(a)に示すように、バンクメモリB Mに記憶されたデータをラスタスキャン順に読み出す。それにより、各ブロックのデータをジグザグスキャン順からラスタスキャン順に並べ替えることができる。

【0025】

処理の高速化を図るためには、複数のデータを同時に処理する必要がある。たとえば、D C T処理および逆D C T処理では、それぞれ64の記憶容量を有する2個の転置メモリを用い、2個の転置メモリに同じ64個のデータをそれぞれ格納し、2個の転置メモリから同時に異なるデータを読み出す。それにより、デー

タの処理速度を向上させることができる。同様に、ハフマン符号化処理およびハフマン復号化処理では、それぞれ64の記憶容量を有する2個のバンクメモリを用い、2個のバンクメモリに同じ64個のデータをそれぞれ格納し、2個のバンクメモリから同時に異なるデータを読み出す。それにより、データの処理速度を向上させることができる。

【0026】

しかしながら、DCT処理および逆DCT処理にそれぞれ2つの転置メモリが必要となり、ハフマン符号化処理およびハフマン復号化処理にそれぞれ2つのバンクメモリが必要となる。それにより、システムの小型化および低コスト化が妨げられる。

【0027】

本発明の目的は、高速にデータを並べ替えることができるとともに小型化および低コスト化を図ることが可能なデータ処理装置を提供することである。

【0028】

【課題を解決するための手段および発明の効果】

(1) 第1の発明

第1の発明に係るデータ処理装置は、複数行および複数列の二次元のデータからなるブロックを処理するデータ処理装置であって、ブロックのデータを記憶する記憶手段と、記憶手段にブロックのデータを第1のスキャン順に書き込む書き込み手段と、記憶手段に記憶されたブロックのデータを第2のスキャン順に読み出す読み出し手段とを備え、記憶手段は n 個のメモリを含み、 n は2以上の整数であり、ブロックのデータは、第1のスキャン順において連続する n 個のデータが異なる n 個のメモリに記憶されるとともに第2のスキャン順において連続する n 個のデータが異なる n 個のメモリに記憶されるように n 個のメモリに振り分けられ、書き込み手段は、第1のスキャン順において異なるメモリに同時にデータを書き込み、読み出し手段は、第2のスキャン順において異なるメモリから同時にデータを読み出すものである。

【0029】

本発明に係るデータ処理装置においては、ブロックの複数行および複数列のデ

ータが n 個のメモリに振り分けられて記憶される。ブロックのデータは、第1のスキャン順において連続する n 個のデータが異なる n 個のメモリに記憶されるとともに第2のスキャン順において連続する n 個のデータが異なる n 個のメモリに記憶されるように n 個のメモリに振り分けられる。そのため、書き込み手段により第1のスキャン順において異なるメモリに同時にデータを書き込むことが可能となり、読み出し手段により第2のスキャン順において異なるメモリから同時にデータを読み出すことが可能となる。

【0030】

それにより、ブロックのデータを第1のスキャン順から第2のスキャン順に高速に並べ替えることができる。この場合に、各メモリに必要な記憶容量は1ブロックのデータ数の n 分の1となる。したがって、高速にデータを処理することができるとともに小型化および低コスト化が可能なデータ処理装置が実現される。

【0031】

(2) 第2の発明

第2の発明に係るデータ処理装置は、 m 行および m 列の二次元のデータからなるブロックを処理するデータ処理装置であって、ブロックのデータを記憶する記憶手段と、記憶手段にブロックのデータを第1のスキャン順に書き込む書き込み手段と、記憶手段に記憶されたブロックのデータを第2のスキャン順に読み出す読み出し手段とを備え、記憶手段は n 個のメモリを含み、 n は m の2以上の約数であり、ブロックのデータは、第1のスキャン順において連続する n 個のデータが異なる n 個のメモリに記憶されるとともに第2のスキャン順において連続する n 個のデータが異なる n 個のメモリに記憶されるように n 個のメモリに振り分けられ、書き込み手段は、第1のスキャン順において異なる n 個のメモリに同時にデータを書き込み、読み出し手段は、第2のスキャン順において異なる n 個のメモリから同時にデータを読み出すものである。

【0032】

本発明に係るデータ処理装置においては、ブロックの m 行および m 列のデータが n 個のメモリに振り分けられて記憶される。ブロックのデータは、第1のスキャン順において連続する n 個のデータが異なる n 個のメモリに記憶されるととも

に第2のスキヤン順において連続する n 個のデータが異なる n 個のメモリに記憶されるように n 個のメモリに振り分けられる。そのため、書き込み手段により第1のスキヤン順において異なる n 個のメモリに同時にデータを書き込むことが可能となり、読み出し手段により第2のスキヤン順において異なる n 個のメモリから同時にデータを読み出すことが可能となる。

【0033】

それにより、ブロックのデータを第1のスキヤン順から第2のスキヤン順に高速に並べ替えることができる。この場合に、各メモリに必要な記憶容量は1ブロックのデータ数の n 分の1となる。したがって、高速にデータを処理することができるとともに小型化および低コスト化が可能なデータ処理装置が実現される。

【0034】

(3) 第3の発明

第3の発明に係るデータ処理装置は、第2の発明に係るデータ処理装置の構成において、 m は8であり、 n は2、4または8であることを特徴とする。

【0035】

この場合、64個のデータを第1のスキヤン順から第2のスキヤン順に並べ替えることができる。 n が2の場合には、記憶手段が2個のメモリを含み、各メモリに必要な記憶容量は32となり、 n が4の場合には、記憶手段が4個のメモリを含み、各メモリに必要な記憶容量は16となり、 n が8の場合には、記憶手段が8個のメモリを含み、各メモリに必要な記憶容量は8となる。

【0036】

(4) 第4の発明

第4の発明に係るデータ処理装置は、第1、第2または第3の発明に係るデータ処理装置の構成において、第1のスキヤン順は列方向および行方向のうち一方の方向のラスタスキヤン順であり、第2のスキヤン順は列方向および行方向のうち他方の方向のラスタスキヤン順であることを特徴とする。

【0037】

この場合、ブロックのデータを行方向または列方向のラスタスキヤン順から列方向または行方向のラスタスキヤン順に高速に並べ替えることができる。

【0038】

(5) 第5の発明

第5の発明に係るデータ処理装置は、第1、第2または第3の発明に係るデータ処理装置の構成において、第1のスキャン順はラスタスキャン順およびジグザグスキャン順のうち一方であり、第2のスキャン順はラスタスキャン順およびジグザグスキャン順のうち他方であることを特徴とする。

【0039】

この場合、ブロックのデータをラスタスキャン順からジグザグスキャン順に高速に並べ替えることができる。

【0040】

【発明の実施の形態】

図1は本発明の第1の実施例におけるデータ処理装置の構成を示すブロック図である。

【0041】

第1の実施例のデータ処理装置は、DCT処理または逆DCT処理において8×8のブロックのデータを行方向のラスタスキャン順から列方向のラスタスキャン順へまたは列方向のラスタスキャン順から行方向のラスタスキャン順へ並べ替えるために用いられる。

【0042】

図1のデータ処理装置は、2つのメモリ1、2、制御部3、ビット切り替え部4、5、書き込みアドレスカウンタ6、読み出しアドレスカウンタ7、アドレス変換部8、9、10、11、アドレス切り替え部12、13、14、15および読み出しデータ切り替え部16を含む。メモリ1、2はそれぞれ32アドレス（記憶容量32ワード）を有し、転置メモリとして用いられる。

【0043】

ビット切り替え部4、5には、2つのデータを含む書き込みデータが行方向または列方向のラスタスキャン順に与えられる。この場合、各書き込みデータは、先行するデータを上位ビットとして含みかつ後続するデータを下位ビットとして含む。

【0044】

ビット切り替え部4は、書き込みデータの上位ビットおよび下位ビットのうち一方のデータをメモリ1の書き込みデータ端子WDに与え、ビット切り替え部5は、書き込みデータの上位ビットおよび下位ビットのうち他方のデータをメモリ2の書き込みデータ端子WDに与える。

【0045】

書き込みアドレスカウンタ6は、制御部3から与えられるクロック信号CKをカウントし、奇数番目のブロック用の書き込みアドレスを発生する。アドレス変換部8は、書き込みアドレスカウンタ6から出力される奇数番目のブロック用の書き込みアドレスを偶数番目のブロック用の書き込みアドレスに変換する。アドレス切り替え部12は、制御部3からの切り替え信号SWに応答して書き込みアドレスカウンタ6から出力される書き込みアドレスまたはアドレス変換部8から出力される書き込みアドレスを選択的にメモリ1の書き込みアドレス端子WAに与える。

【0046】

同様に、アドレス変換部10は、書き込みアドレスカウンタ6から出力される奇数番目のブロック用の書き込みアドレスを偶数番目のブロック用の書き込みアドレスに変換する。アドレス切り替え部14は、制御部3からの切り替え信号SWに応答して書き込みアドレスカウンタ6から出力される書き込みアドレスまたはアドレス変換部10から出力される書き込みアドレスを選択的にメモリ2の書き込みアドレス端子WAに与える。

【0047】

読み出しアドレスカウンタ7は、制御部3から与えられるクロック信号CKをカウントし、奇数番目のブロック用の読み出しアドレスを発生する。アドレス変換部9は、読み出しアドレスカウンタ7から出力される奇数番目のブロック用の読み出しアドレスを偶数番目のブロック用の読み出しアドレスに変換する。アドレス切り替え部13は、制御部3からの切り替え信号SRに応答して読み出しアドレスカウンタ7から出力される読み出しアドレスまたはアドレス変換部9から出力される読み出しアドレスを選択的にメモリ1の読み出しアドレス端子RAに

与える。

【0048】

同様に、アドレス変換部11は、読み出しアドレスカウンタ7から出力される奇数番目のブロック用の読み出しアドレスを偶数番目のブロック用の読み出しアドレスに変換する。アドレス切り替え部15は、制御部3からの切り替え信号SRに応答して読み出しアドレスカウンタ7から出力される読み出しアドレスまたはアドレス変換部11から出力される読み出しアドレスを選択的にメモリ2の読み出しアドレス端子RAに与える。

【0049】

メモリ1, 2の書き込みイネーブル端子WENには、制御部3からデータの書き込みを許容する書き込みイネーブル信号が与えられる。これにより、書き込みデータ端子WDに与えられたデータが書き込みアドレス端子WAに与えられた書き込みアドレスで指定される記憶位置に書き込まれる。

【0050】

また、メモリ1, 2の読み出しアドレス端子RAに与えられる読み出しアドレスで指定された記憶位置からデータが読み出され、読み出しデータ端子RDから出力される。読み出しデータ切り替え部16は、制御部3からの制御信号CNに応答してメモリ1, 2から出力される2つのデータのうち列方向または行方向のラスタスキャン順において先行するデータを上位ビットとして含みかつ後続するデータを下位ビットとして含む読み出しデータを出力する。

【0051】

次に、図2および図3を参照しながら図1のデータ処理装置においてメモリ1, 2へのブロックのデータの振り分け方法について説明する。図2および図3において、ブロック内の数字“0”～“63”は、各データを特定するためのものである。ここでは、ブロックの横方向を行方向とし、縦方向を列方向とする。

【0052】

なお、奇数番目のブロックについては、メモリ1, 2に行方向のラスタスキャン順にデータを書き込み、メモリ1, 2から列方向のラスタスキャン順にデータを読み出し、偶数番目のブロックについては、メモリ1, 2に列方向のラスタス

キャン順にデータを書き込み、メモリ 1, 2 から行方向のラスタスキャン順にデータを読み出すものとする。これにより、現在のブロックの読み出しと並行して次のブロックの書き込みを行うことができる。

【0053】

奇数番目のブロックでは、図 2 (a) に示すように、64 個のデータを行方向に 8×8 のブロックに配列する。そして、ブロックの各行のデータを行方向に 2 つずつ区分し、それぞれ 2 つのデータからなる組を作成する。そして、図 2 (b) に示すように、各組の 2 つのデータを異なる第 1 および第 2 のグループに振り分ける。図 2 では、第 1 のグループに属するデータにハッチングが付され、第 2 のグループに属するデータにはハッチングが付されていない。この場合、ブロックのデータを列方向に走査した場合に、連続する 2 つのデータが異なるグループに属するように各組内の 2 つのデータを第 1 および第 2 のグループに振り分ける。

【0054】

次に、図 2 (c) に示すように、奇数行目の各組内の 2 つのデータの位置を互いに入れ換える。それにより、第 1 のグループのデータが奇数列目に配置され、第 2 のグループのデータが偶数列目に配置される。

【0055】

図 2 (d) に示すように、奇数列目の第 1 のグループのデータをメモリ 1 に振り分け、偶数列目の第 2 のグループのデータをメモリ 2 に振り分ける。図において、メモリ 1, 2 の左端の記憶位置のアドレスは上から順に“0”、“4”、“8”、“12”、“16”、“20”、“24”および“28”となっている。

【0056】

このようにデータをメモリ 1, 2 に振り分けることにより、書き込み時に、行方向のラスタスキャン順において連続する 2 つのデータをそれぞれメモリ 1, 2 に同時に書き込むことができ、かつ読み出し時に、列方向のラスタスキャン順において連続する 2 つのデータをメモリ 1, 2 から同時に読み出すことができる。

【0057】

偶数番目のブロックでは、図 3 (a) に示すように、64 個のデータを列方向

に8×8のブロックに配列する。そして、ブロックの各行のデータを行方向に2つつ区分し、それぞれ2配列データからなる組を作成する。そして、図3(b)に示すように、各組の2つのデータを異なる第1および第2のグループに振り分ける。図3では、第1のグループに属するデータにハッチングが付され、第2のグループに属するデータにはハッチングが付されていない。この場合、ブロックのデータを列方向に走査した場合に、連続する2つのデータが異なるグループに属するように各組内の2つのデータを第1および第2のグループに振り分ける。

【0058】

次に、図3(c)に示すように、奇数行目の各組内の2つのデータの位置を互いに入れ換える。それにより、第1のグループのデータが奇数列目に配置され、第2のグループのデータが偶数列目に配置される。

【0059】

図3(d)に示すように、奇数列目の第1のグループのデータをメモリ1に振り分け、偶数列目の第2のグループのデータをメモリ2に振り分ける。図において、メモリ1, 2の左端の記憶位置のアドレスは上から順に“0”、“4”、“8”、“12”、“16”、“20”、“24”および“28”となっている。

【0060】

このようにデータをメモリ1, 2に振り分けることにより、書き込み時に、列方向のラスタスキャン順において連続する2つのデータをそれぞれメモリ1, 2に同時に書き込むことができ、かつ読み出し時に、行方向のラスタスキャン順において連続する2つのデータをメモリ1, 2から同時に読み出すことができる。

【0061】

図4は第1の実施例における書き込みアドレスおよび書き込みデータの変化を示す図である。図4には、奇数番目のブロックのデータの書き込みを示す。

【0062】

図4に示すように、メモリ1, 2に与えられる書き込みアドレスの変化に伴って行方向のラスタスキャン順にメモリ1, 2に連続する2つのデータが同時に書き込まれる。

【0063】

図5は第1の実施例における読み出しアドレスおよび読み出しデータの変化を示す図である。図5には、奇数番目のブロックのデータの読み出しを示す。

【0064】

図5に示すように、メモリ1, 2に与えられる読み出しアドレスの変化に伴って列方向のラスタスキャン順にメモリ1, 2から連続する2つのデータが同時に読み出される。

【0065】

このように、本実施例のデータ処理装置では、書き込み時に行方向または列方向のラスタスキャン順に連続する2つのデータがメモリ1, 2に同時に書き込まれ、かつ読み出し時に列方向または行方向のラスタスキャン順に連続する2つのデータがメモリ1, 2から同時に読み出されるので、データ処理の高速化を図ることができる。また、32アドレスを有する2つのメモリ1, 2で64個のデータを2つずつ同時に書き込みおよび読み出すことができるので、システムの小型化および低コスト化を図ることができる。

【0066】

なお、本実施例では、ブロックのデータを2つの転置メモリに振り分ける例を説明したが、ブロックのデータを4つの転置メモリまたは8つの転置メモリに振り分けることもできる。

【0067】

図6はブロックのデータを2つの転置メモリに振り分ける方法を示す図、図7はブロックのデータを4つの転置メモリに振り分ける方法を示す図、図8はブロックのデータを8つの転置メモリに振り分ける方法を示す図である。図6、図7および図8において、(a)はブロックのデータを示し、(b)は奇数番目のブロックにおけるデータの振り分けを示し、(c)は偶数番目のブロックにおけるデータの振り分けを示す。

【0068】

奇数番目のブロックでは、行方向のラスタスキャン順にデータを配列し、偶数番目のブロックでは、列方向のラスタスキャン順にデータを配列する。

【0069】

図6の例では、各行のデータをそれぞれ2つのデータを含む4つの組に区分し、奇数行目のデータはそのまま偶数行目の各組の2つのデータを各組内で1つシフトする。そして、奇数列目のデータを転置メモリB0に振り分け、偶数列目のデータを転置メモリB1に振り分ける。

【0070】

図7の例では、各行のデータをそれぞれ4つのデータを含む2つの組に区分する。第1行目および第5行目のデータはそのまま、第2行目および第6行目の各組の4つのデータを各組内で1つシフトし、第3行目および第7行目の各組の4つのデータを各組内で2つシフトし、第4行目および第8行目の各組の4つのデータを各組内で3つシフトする。そして、第1列目および第5列目のデータを転置メモリB0に振り分け、第2列目および第6列目のデータを転置メモリB1に振り分け、第3列目および第7列目のデータを転置メモリB2に振り分け、第4列目および第8列目のデータを転置メモリB3に振り分ける。

【0071】

図8の例では、各行のデータをそれぞれ8つのデータを含む1つの組に区分する。第1行目のデータはそのまま、第2行目～第8行目の各組の8つのデータを各組内で順に1つ～7つシフトする。そして、第1列目～第8列目のデータを転置メモリB0～B7にそれぞれ振り分ける。

【0072】

次に、本発明の第2の実施例におけるデータ処理装置について説明する。第2の実施例のデータ処理装置は、ハフマン符号化処理またはハフマン復号化処理において8×8ブロックのデータをラスタスキャン順からジグザグスキャン順へまたはジグザグスキャン順からラスタスキャン順へ並べ替えるために用いられる。

【0073】

本実施例のデータ処理装置の構成は、図1に示したデータ処理装置の構成と同様である。第2の実施例のデータ処理装置が第1の実施例のデータ処理装置と異なるのは、メモリ1, 2へのブロックのデータの振り分け方法、および書き込みアドレスおよび読み出しアドレスの指定方法である。メモリ1, 2はバンクメモ

りとして用いられる。

【0074】

次に、図9を参照しながら第2の実施例におけるメモリ1, 2へのデータの振り分け方法について説明する。図9において、ブロック内の数字“0”～“63”は、各データを特定するためのものである。

【0075】

なお、ここでは、メモリ1, 2に列方向のラスタスキャン順にデータを書き込み、メモリ1, 2からジグザグスキャン順にデータを読み出す場合を説明する。

【0076】

図9(a)に示すように、64個のデータを行方向に8×8のブロックに配列する。そして、ブロックの各列のデータを列方向に2つつつ区分し、それぞれ2つのデータからなる組を作成する。そして、図9(b)に示すように、各組の2つのデータを異なる第1および第2のグループに振り分ける。図9では、第1のグループに属するデータにハッチングが付され、第2のグループに属するデータにはハッチングが付されていない。この場合、ブロックのデータをジグザグスキャン順に走査した場合に、連続する2つのデータが異なるグループに属するように各組内の2つのデータを第1および第2のグループに振り分ける。

【0077】

次に、図9(c)に示すように、奇数列目の各組内の2つのデータの位置を互いに入れ換える。それにより、第1のグループのデータが奇数行目に配置され、第2のグループのデータが偶数行目に配置される。

【0078】

図9(d)に示すように、奇数行目の第1のグループのデータをメモリ1に振り分け、偶数行目の第2のグループのデータをメモリ2に書き込む。図において、メモリ1, 2の左端の記憶位置のアドレスは上から順に“0”、“8”、“16”および“24”となっている。

【0079】

このようにデータをメモリ1, 2に振り分けることにより、書き込み時に、列方向のラスタスキャン順において連続する2つのデータをそれぞれメモリ1, 2

に同時に書き込むことができ、かつ読み出し時に、ジグザグスキャン順において連続する2つのデータをメモリ1, 2から同時に読み出すことができる。

【0080】

図10および図11は第2の実施例における書き込みアドレス、書き込みデータ、読み出しアドレスおよび読み出しデータの変化を示す図である。

【0081】

図10および図11の例では、メモリ1, 2に対するデータの書き込みおよび読み出しを並行して行い、1ブロックの32個のデータの書き込みが終了した時点でそのブロックのデータの読み出しを開始している。

【0082】

図10および図11に示すように、メモリ1, 2に与えられる書き込みアドレスの変化に伴って列方向のラスタスキャン順にメモリ1, 2に連続する2つのデータが同時に書き込まれ、メモリ1, 2に与えられる読み出しアドレスの変化に伴ってジグザグスキャン順にメモリ1, 2から連続する2つのデータが同時に読み出される。

【0083】

このように、本実施例のデータ処理装置では、書き込み時にラスタスキャン順またはジグザグスキャン順に連続する2つのデータがメモリ1, 2に同時に書き込まれ、かつ読み出し時にジグザグスキャン順またはラスタスキャン順に連続する2つのデータがメモリ1, 2から同時に読み出されるので、データ処理の高速化を図ることができる。また、32アドレスを有する2つのメモリ1, 2で64個のデータを2つずつ同時に書き込みおよび読み出すことができるので、システムの小型化および低コスト化を図ることができる。

【0084】

図12はブロックのデータを4つのバンクメモリに振り分ける方法を示す図であり、(a)はブロックのデータを示し、(b)はデータの振り分けを示す。

【0085】

図12の例では、書き込み時にラスタスキャン順またはジグザグスキャン順に連続する4つのデータをバンクメモリB0, B1, B2, B3に同時に書き込む

ことができ、かつ読み出し時にジグザグスキャン順またはラスタスキャン順に連続する4つのデータをバンクメモリB0, B1, B2, B3から同時に読み出すことができる。それにより、システムの小型化および低コスト化を図ることができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施例におけるデータ処理装置の構成を示すブロック図である。

【図2】

第1の実施例における奇数番目のブロックのデータのメモリへの振り分け方法を示す図である。

【図3】

第1の実施例における偶数番目のブロックのデータのメモリへの振り分け方法を示す図である。

【図4】

第1の実施例における奇数番目のブロックの書き込み時のアドレスおよびデータの変化を示す図である。

【図5】

第1の実施例における奇数番目のブロックの読み出し時のアドレスおよびデータの変化を示す図である。

【図6】

ブロックのデータを2つの転置メモリへ振り分ける方法を示す図である。

【図7】

ブロックのデータを4つの転置メモリへ振り分ける方法を示す図である。

【図8】

ブロックのデータを8つの転置メモリへ振り分ける方法を示す図である。

【図9】

本発明の第2の実施例におけるブロックのデータのメモリへの振り分け方法を示す図である。

【図 10】

第 2 の実施例における書き込み時および読み出し時のアドレスおよびデータの変化を示す図である。

【図 11】

第 2 の実施例における書き込み時および読み出し時のアドレスおよびデータの変化を示す図である。

【図 12】

ブロックのデータを 4 つのバンクメモリへ振り分ける方法を示す図である。

【図 13】

DCT方式の画像データ圧縮および画像データ伸長を実行するためのシステムの基本構成を示すブロック図である。

【図 14】

画像データのブロック化を示す図である。

【図 15】

8×8画素ブロックおよびDCT処理されたブロックを示す図である。

【図 16】

転置メモリを用いた二次元DCTを説明するためのブロック図である。

【図 17】

量子化されたDCT係数の一例を示す図である。

【図 18】

ジグザグスキャンを説明するための図である。

【図 19】

行方向のラスタスキャンおよび列方向のラスタスキャンを示す図である。

【図 20】

列方向のラスタスキャンおよびジグザグスキャンを示す図である。

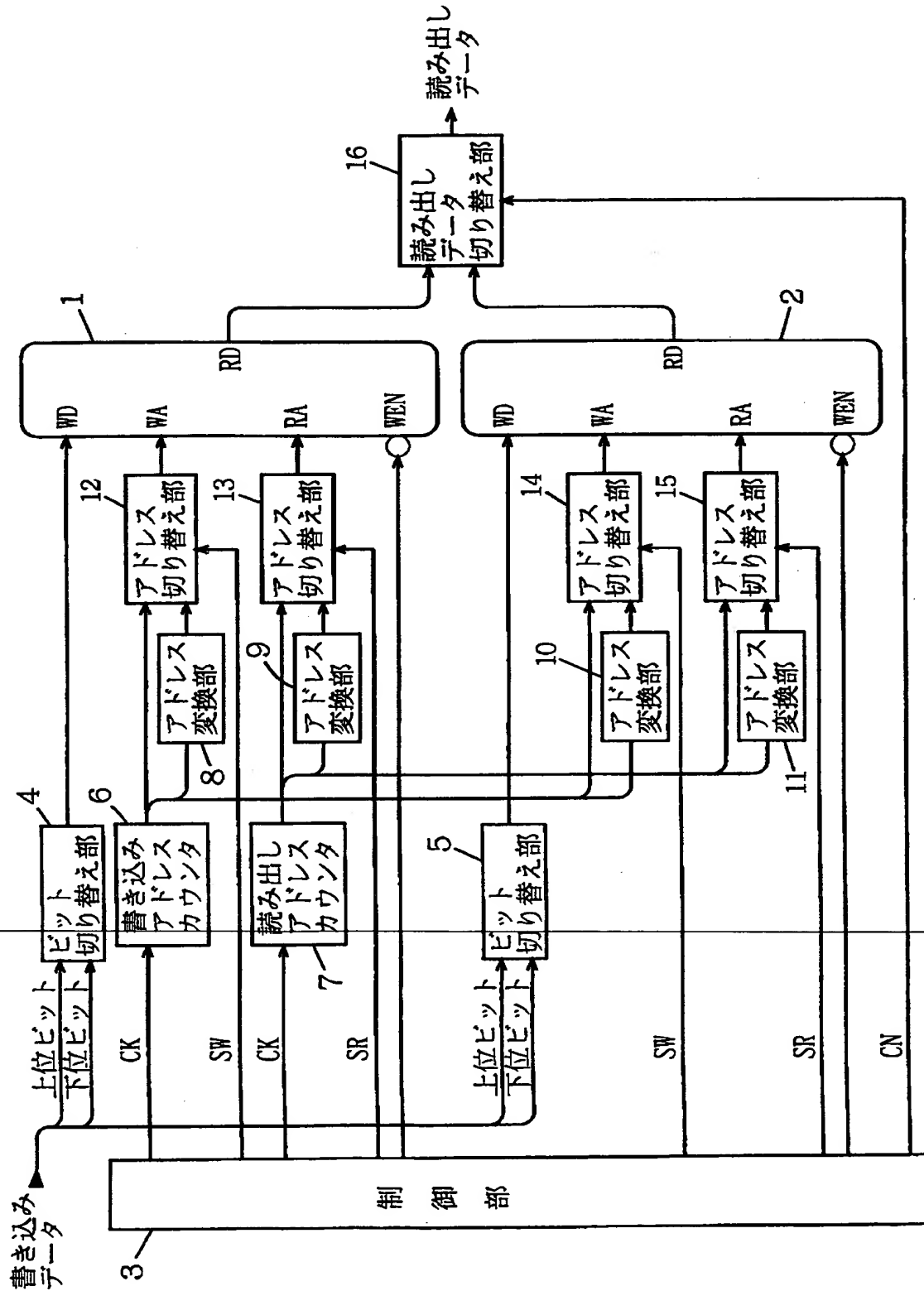
【符号の説明】

- 1, 2 メモリ
- 3 制御部
- 4, 5 ビット切り替え部

- 6 書き込みアドレスカウンタ
- 7 読み出しアドレスカウンタ
- 8, 9, 10, 11 アドレス変換部
- 12, 13, 14, 15 アドレス切り替え部
- 16 読み出しデータ切り替え部

【書類名】 図面

【図 1】



【図 2】

(a)

0	→	1	→	2	→	3	→	4	→	5	→	6	→	7
8	→	9	→	10	→	11	→	12	→	13	→	14	→	15
16	→	17	→	18	→	19	→	20	→	21	→	22	→	23
24	→	25	→	26	→	27	→	28	→	29	→	30	→	31
32	→	33	→	34	→	35	→	36	→	37	→	38	→	39
40	→	41	→	42	→	43	→	44	→	45	→	46	→	47
48	→	49	→	50	→	51	→	52	→	53	→	54	→	55
56	→	57	→	58	→	59	→	60	→	61	→	62	→	63

(c)

0	1	2	3	4	5	6	7
9	8	11	10	13	12	15	14
16	17	18	19	20	21	22	23
25	24	27	26	29	28	31	30
32	33	34	35	36	37	38	39
41	40	43	42	45	44	47	46
48	49	50	51	52	53	54	55
57	56	59	58	61	60	63	62

(b)

0	1	2	3	4	5	6	7
8	9	10	11	12	13	14	15
16	17	18	19	20	21	22	23
24	25	26	27	28	29	30	31
32	33	34	35	36	37	38	39
40	41	42	43	44	45	46	47
48	49	50	51	52	53	54	55
56	57	58	59	60	61	62	63

(d)

	1							2									
0	0	2	4	6				0	1	3	5	7					
4	9	11	13	15				4	8	10	12	14					
8	16	18	20	22				8	17	19	21	23					
12	25	27	29	31				12	24	26	28	30					
16	32	34	36	38				16	33	35	37	39					
20	41	43	45	47				20	40	42	44	46					
24	48	50	52	54				24	49	51	53	55					
28	57	59	61	63				28	56	58	60	62					

【図 3】

(a)

0	8	16	24	32	40	48	56
1	9	17	25	33	41	49	57
2	10	18	26	34	42	50	58
3	11	19	27	35	43	51	59
4	12	20	28	36	44	52	60
5	13	21	29	37	45	53	61
6	14	22	30	38	46	54	62
7	15	23	31	39	47	55	63

(c)

0	8	16	24	32	40	48	56
9	1	25	17	41	33	57	49
2	10	18	26	34	42	50	58
11	3	27	19	43	35	59	51
4	12	20	28	36	44	52	60
13	5	29	21	45	37	61	53
6	14	22	30	38	46	54	62
15	7	31	23	47	39	63	55

(b)

0	8	16	24	32	40	48	56
1	9	17	25	33	41	49	57
2	10	18	26	34	42	50	58
3	11	19	27	35	43	51	59
4	12	20	28	36	44	52	60
5	13	21	29	37	45	53	61
6	14	22	30	38	46	54	62
7	15	23	31	39	47	55	63

(d)

0	0	16	32	48	0	8	24	40	56
4	9	25	41	57	4	1	17	33	49
8	2	18	34	50	8	10	26	42	58
12	11	27	43	59	12	3	19	35	51
16	4	20	36	52	16	12	28	44	60
20	13	29	45	61	20	5	21	37	53
24	6	22	38	54	24	14	30	46	62
28	15	31	47	63	28	7	23	39	55

【図4】

書き込みデータ		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31											
メモリ1	書き込みアドレス	0	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31										
	データ	0	0	2	4	6	9	11	13	15	16	18	20	22	25	27	29	31	22	25	27	29	31	22	25	27	29	31	22	25	27	29	31	22	25	27	29	31						
メモリ2	書き込みアドレス	0	1	3	5	7	8	10	12	14	17	19	21	23	24	26	28	30	19	21	23	25	27	29	31	22	24	26	28	30	23	25	27	29	31	24	26	28	30	23	25	27	29	31
	データ	1	3	5	7	8	10	12	14	17	19	21	23	25	27	29	31	22	24	26	28	30	23	25	27	29	31	24	26	28	30	23	25	27	29	31	24	26	28	30	23	25	27	29
書き込みデータ		32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	56	57	58	59	60	61	62	63			
メモリ1	書き込みアドレス	16	32	34	36	38	40	42	44	46	48	50	52	54	56	58	60	62	48	50	52	54	56	58	60	62	48	50	52	54	56	58	60	62	48	50	52	54	56	58	60	62		
	データ	32	34	36	38	40	42	44	46	48	50	52	54	56	58	60	62	48	50	52	54	56	58	60	62	48	50	52	54	56	58	60	62	48	50	52	54	56	58	60	62			
メモリ2	書き込みアドレス	16	33	35	37	39	41	43	45	47	49	51	53	55	57	59	61	63	49	51	53	55	57	59	61	63	49	51	53	55	57	59	61	63	49	51	53	55	57	59	61	63		
	データ	33	35	37	39	41	43	45	47	49	51	53	55	57	59	61	63	49	51	53	55	57	59	61	63	49	51	53	55	57	59	61	63	49	51	53	55	57	59	61	63			

【図5】

メモリ1 {	読み出しデータ	0	8	16	24	32	40	48	56	1	9	17	25	33	41	49	57	2	10	18	26	34	42	50	58	3	11	19	27	35	43	51	59
	読み出しアドレス	(0)	(8)	(16)	(24)	(32)	(40)	(48)	(56)	(4)	(12)	(20)	(28)	(36)	(44)	(52)	(60)	(1)	(9)	(17)	(25)	(33)	(41)	(49)	(57)	(5)	(13)	(21)	(29)	(37)	(45)	(53)	
	データ	0	16	32	48	64	80	96	112	128	144	160	176	192	208	224	240	2	18	34	50	66	82	98	114	130	146	162	178	194	210	226	
メモリ2 {	読み出しデータ	4	12	20	28	36	44	52	60	5	13	21	29	37	45	53	61	6	14	22	30	38	46	54	62	7	15	23	31	39	47	55	63
	読み出しアドレス	(4)	(12)	(20)	(28)	(36)	(44)	(52)	(60)	(8)	(16)	(24)	(32)	(40)	(48)	(56)	(64)	(10)	(18)	(26)	(34)	(42)	(50)	(58)	(66)	(11)	(19)	(27)	(35)	(43)	(51)	(59)	
	データ	4	12	20	28	36	44	52	60	68	76	84	92	100	108	116	124	10	26	42	58	74	90	106	122	138	154	170	186	202	218	234	
メモリ1 {	読み出しデータ	4	12	20	28	36	44	52	60	5	13	21	29	37	45	53	61	6	14	22	30	38	46	54	62	7	15	23	31	39	47	55	63
	読み出しアドレス	(4)	(12)	(20)	(28)	(36)	(44)	(52)	(60)	(8)	(16)	(24)	(32)	(40)	(48)	(56)	(64)	(10)	(18)	(26)	(34)	(42)	(50)	(58)	(66)	(11)	(19)	(27)	(35)	(43)	(51)	(59)	
	データ	4	20	36	52	68	84	100	116	132	148	164	180	196	212	228	244	6	22	38	54	70	86	102	118	134	150	166	182	198	214	230	
メモリ2 {	読み出しデータ	12	20	28	36	44	52	60	68	13	21	29	37	45	53	61	69	14	22	30	38	46	54	62	70	15	23	31	39	47	55	63	
	読み出しアドレス	(12)	(20)	(28)	(36)	(44)	(52)	(60)	(68)	(16)	(24)	(32)	(40)	(48)	(56)	(64)	(72)	(18)	(26)	(34)	(42)	(50)	(58)	(66)	(74)	(22)	(30)	(38)	(46)	(54)	(62)	(70)	
	データ	12	28	44	60	76	92	108	124	140	156	172	188	204	220	236	252	14	30	46	62	78	94	110	126	142	158	174	190	206	222	238	

【図6】

(a)								(b)								(c)							
0	1	2	3	4	5	6	7	B0	B1	B0	B1	B0	B1	B0	B1	B0	B1	B0	B1	B0	B1	B0	B1
0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	8	16	24	32	40	48	56
8	9	10	11	12	13	14	15	9	8	11	10	13	12	15	14	9	1	25	17	41	33	57	49
16	17	18	19	20	21	22	23	16	17	18	19	20	21	22	23	2	10	18	26	34	42	50	58
24	25	26	27	28	29	30	31	25	24	27	26	29	28	31	30	11	3	27	19	43	35	59	51
32	33	34	35	36	37	38	39	32	33	34	35	36	37	38	39	4	12	20	28	36	44	52	60
40	41	42	43	44	45	46	47	41	40	43	42	45	44	47	46	13	5	29	21	45	37	61	53
48	49	50	51	52	53	54	55	48	49	50	51	52	53	54	55	6	14	22	30	38	46	54	62
56	57	58	59	60	61	62	63	57	56	59	58	61	60	63	62	15	7	31	23	47	39	63	55

a	b	→	a	b
---	---	---	---	---

1, 3, 5, 7行目そのまま

a	b	→	b	a
---	---	---	---	---

2, 4, 6, 8行目1つシフト

【図 7】

(a)								(b)								(c)							
0	1	2	3	4	5	6	7	B0	B1	B2	B3	B0	B1	B2	B3	B0	B1	B2	B3	B0	B1	B2	B3
0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	8	16	24	32	40	48	56
8	9	10	11	12	13	14	15	11	8	9	10	15	12	13	14	25	1	9	17	57	33	41	49
16	17	18	19	20	21	22	23	18	19	16	17	22	23	20	21	18	26	2	10	50	58	34	42
24	25	26	27	28	29	30	31	25	26	27	24	29	30	31	28	11	19	27	3	43	51	59	35
32	33	34	35	36	37	38	39	32	33	34	35	36	37	38	39	4	12	20	28	36	44	52	60
40	41	42	43	44	45	46	47	43	40	41	42	47	44	45	46	29	5	13	21	61	37	45	53
48	49	50	51	52	53	54	55	50	51	48	49	54	55	52	53	22	30	6	14	54	62	38	46
56	57	58	59	60	61	62	63	57	58	59	56	61	62	63	60	15	23	31	7	47	55	63	39

1,5行目	そのまま	a	b	c	d	→	a	b	c	d
2,6行目	1つシフト	a	b	c	d	→	d	a	b	c
3,7行目	2つシフト	a	b	c	d	→	c	d	a	b
4,8行目	3つシフト	a	b	c	d	→	b	c	d	a

【図 8】

(a)

0	1	2	3	4	5	6	7
8	9	10	11	12	13	14	15
16	17	18	19	20	21	22	23
24	25	26	27	28	29	30	31
32	33	34	35	36	37	38	39
40	41	42	43	44	45	46	47
48	49	50	51	52	53	54	55
56	57	58	59	60	61	62	63

(b)

B0	B1	B2	B3	B4	B5	B6	B7
0	1	2	3	4	5	6	7
15	8	9	10	11	12	13	14
22	23	16	17	18	19	20	21
29	30	31	24	25	26	27	28
36	37	38	39	32	33	34	35
43	44	45	46	47	40	41	42
50	51	52	53	54	55	48	49
57	58	59	60	61	62	63	56

(c)

B0	B1	B2	B3	B4	B5	B6	B7
0	8	16	24	32	40	48	56
57	1	9	17	25	33	41	49
50	58	2	10	18	26	34	42
43	51	59	3	11	19	27	35
36	44	52	60	4	12	20	28
29	37	45	53	61	5	13	21
22	30	38	46	54	62	6	14
15	23	31	39	47	55	63	7

そのま

1行目

1つシフト

2行目

2つシフト

3行目

3つシフト

4行目

4つシフト

5行目

5つシフト

6行目

6つシフト

7行目

7つシフト

8行目

a	b	c	d	e	f	g	h
a	b	c	d	e	f	g	h
a	b	c	d	e	f	g	h
a	b	c	d	e	f	g	h
a	b	c	d	e	f	g	h
a	b	c	d	e	f	g	h
a	b	c	d	e	f	g	h
a	b	c	d	e	f	g	h

【図9】

(a)

0	1	2	3	4	5	6	7
8	9	10	11	12	13	14	15
16	17	18	19	20	21	22	23
24	25	26	27	28	29	30	31
32	33	34	35	36	37	38	39
40	41	42	43	44	45	46	47
48	49	50	51	52	53	54	55
56	57	58	59	60	61	62	63

(c)

0	9	10	11	12	5	6	7
8	1	2	3	4	13	14	15
16	17	26	27	28	29	30	23
24	25	18	19	20	21	22	31
32	41	42	43	44	45	38	39
40	33	34	35	36	37	46	47
48	49	50	59	60	61	62	55
56	57	58	51	52	53	54	63

(b)

0	1	2	3	4	5	6	7
8	9	10	11	12	13	14	15
16	17	18	19	20	21	22	23
24	25	26	27	28	29	30	31
32	33	34	35	36	37	38	39
40	41	42	43	44	45	46	47
48	49	50	51	52	53	54	55
56	57	58	59	60	61	62	63

(d)

0	0	9	10	11	12	5	6	7
8	16	17	26	27	28	29	30	23
16	32	41	42	43	44	45	38	39
24	48	49	50	59	60	61	62	55
0	8	1	2	3	4	13	14	15
8	24	25	18	19	20	21	22	31
16	40	33	34	35	36	37	46	47
24	56	57	58	51	52	53	54	63

【図 10】

書き込みデータ	0	8	16	24	32	40	48	56	1	9	17	25	33	41	49	57	2	10	18	26	34	42	50	58	3	11	19	27	35	43	51	59
	0	8	16	24	32	40	48	56	1	9	17	25	33	41	49	57	2	10	18	26	34	42	50	58	3	11	19	27	35	43	51	59
	0	8	16	24	32	40	48	56	1	9	17	25	33	41	49	57	2	10	18	26	34	42	50	58	3	11	19	27	35	43	51	59
	0	8	16	24	32	40	48	56	1	9	17	25	33	41	49	57	2	10	18	26	34	42	50	58	3	11	19	27	35	43	51	59
書き込みアドレス データ	0	8	16	24	32	40	48	56	1	9	17	25	33	41	49	57	2	10	18	26	34	42	50	58	3	11	19	27	35	43	51	59
	0	8	16	24	32	40	48	56	1	9	17	25	33	41	49	57	2	10	18	26	34	42	50	58	3	11	19	27	35	43	51	59
	0	8	16	24	32	40	48	56	1	9	17	25	33	41	49	57	2	10	18	26	34	42	50	58	3	11	19	27	35	43	51	59
	0	8	16	24	32	40	48	56	1	9	17	25	33	41	49	57	2	10	18	26	34	42	50	58	3	11	19	27	35	43	51	59
書き込みアドレス データ	0	8	16	24	32	40	48	56	1	9	17	25	33	41	49	57	2	10	18	26	34	42	50	58	3	11	19	27	35	43	51	59
	0	8	16	24	32	40	48	56	1	9	17	25	33	41	49	57	2	10	18	26	34	42	50	58	3	11	19	27	35	43	51	59
	0	8	16	24	32	40	48	56	1	9	17	25	33	41	49	57	2	10	18	26	34	42	50	58	3	11	19	27	35	43	51	59
	0	8	16	24	32	40	48	56	1	9	17	25	33	41	49	57	2	10	18	26	34	42	50	58	3	11	19	27	35	43	51	59
書き込みデータ	4	12	20	28	36	44	52	60	5	13	21	29	37	45	53	61	6	14	22	30	38	46	54	62	7	15	23	31	39	47	55	63
	4	12	20	28	36	44	52	60	5	13	21	29	37	45	53	61	6	14	22	30	38	46	54	62	7	15	23	31	39	47	55	63
	4	12	20	28	36	44	52	60	5	13	21	29	37	45	53	61	6	14	22	30	38	46	54	62	7	15	23	31	39	47	55	63
	4	12	20	28	36	44	52	60	5	13	21	29	37	45	53	61	6	14	22	30	38	46	54	62	7	15	23	31	39	47	55	63
書き込みアドレス データ	4	12	20	28	36	44	52	60	5	13	21	29	37	45	53	61	6	14	22	30	38	46	54	62	7	15	23	31	39	47	55	63
	4	12	20	28	36	44	52	60	5	13	21	29	37	45	53	61	6	14	22	30	38	46	54	62	7	15	23	31	39	47	55	63
	4	12	20	28	36	44	52	60	5	13	21	29	37	45	53	61	6	14	22	30	38	46	54	62	7	15	23	31	39	47	55	63
	4	12	20	28	36	44	52	60	5	13	21	29	37	45	53	61	6	14	22	30	38	46	54	62	7	15	23	31	39	47	55	63
書き込みアドレス データ	4	12	20	28	36	44	52	60	5	13	21	29	37	45	53	61	6	14	22	30	38	46	54	62	7	15	23	31	39	47	55	63
	4	12	20	28	36	44	52	60	5	13	21	29	37	45	53	61	6	14	22	30	38	46	54	62	7	15	23	31	39	47	55	63
	4	12	20	28	36	44	52	60	5	13	21	29	37	45	53	61	6	14	22	30	38	46	54	62	7	15	23	31	39	47	55	63
	4	12	20	28	36	44	52	60	5	13	21	29	37	45	53	61	6	14	22	30	38	46	54	62	7	15	23	31	39	47	55	63
読み出しデータ	0	1	8	16	9	2	3	10	17	24	32	25	18	11	4	5	12	19	26	33	40	48	41	34	27	20	13	6	7	14	21	28
	0	1	8	16	9	2	3	10	17	24	32	25	18	11	4	5	12	19	26	33	40	48	41	34	27	20	13	6	7	14	21	28
	0	1	8	16	9	2	3	10	17	24	32	25	18	11	4	5	12	19	26	33	40	48	41	34	27	20	13	6	7	14	21	28
	0	1	8	16	9	2	3	10	17	24	32	25	18	11	4	5	12	19	26	33	40	48	41	34	27	20	13	6	7	14	21	28
読み出しアドレス データ	0	1	8	16	9	2	3	10	17	24	32	25	18	11	4	5	12	19	26	33	40	48	41	34	27	20	13	6	7	14	21	28
	0	1	8	16	9	2	3	10	17	24	32	25	18	11	4	5	12	19	26	33	40	48	41	34	27	20	13	6	7	14	21	28
	0	1	8	16	9	2	3	10	17	24	32	25	18	11	4	5	12	19	26	33	40	48	41	34	27	20	13	6	7	14	21	28
	0	1	8	16	9	2	3	10	17	24	32	25	18	11	4	5	12	19	26	33	40	48	41	34	27	20	13	6	7	14	21	28
読み出しアドレス データ	0	1	8	16	9	2	3	10	17	24	32	25	18	11	4	5	12	19	26	33	40	48	41	34	27	20	13	6	7	14	21	28
	0	1	8	16	9	2	3	10	17	24	32	25	18	11	4	5	12	19	26	33	40	48	41	34	27	20	13	6	7	14	21	28
	0	1	8	16	9	2	3	10	17	24	32	25	18	11	4	5	12	19	26	33	40	48	41	34	27	20	13	6	7	14	21	28
	0	1	8	16	9	2	3	10	17	24	32	25	18	11	4	5	12	19	26	33	40	48	41	34	27	20	13	6	7	14	21	28

【図 1 1】

書き込みデータ		0	8	16	24	32	40	48	56	1	9	17	25	33	41	49	57	2	10	18	26	34	42	50	58	3	11	19	27	35	43	51	59
メモリ 1	書き込みアドレス	0	8	16	24	32	40	48	56	1	9	17	25	33	41	49	57	2	10	18	26	34	42	50	58	3	11	19	27	35	43	51	59
	データ	0	16	32	48	64	80	96	112	128	144	160	176	192	208	224	240	256	272	288	304	320	336	352	368	384	400	416	432	448	464	480	496
メモリ 2	書き込みアドレス	0	8	16	24	32	40	48	56	1	9	17	25	33	41	49	57	2	10	18	26	34	42	50	58	3	11	19	27	35	43	51	59
	データ	8	24	40	56	72	88	104	120	136	152	168	184	200	216	232	248	264	280	296	312	328	344	360	376	392	408	424	440	456	472	488	504
読み出しデータ		35	42	49	56	63	70	77	84	91	98	105	112	119	126	133	140	147	154	161	168	175	182	189	196	203	210	217	224	231	238	245	252
メモリ 1	読み出しアドレス	35	42	49	56	63	70	77	84	91	98	105	112	119	126	133	140	147	154	161	168	175	182	189	196	203	210	217	224	231	238	245	252
	データ	18	42	66	90	114	138	162	186	210	234	258	282	306	330	354	378	402	426	450	474	498	522	546	570	594	618	642	666	690	714	738	762
メモリ 2	読み出しアドレス	35	42	49	56	63	70	77	84	91	98	105	112	119	126	133	140	147	154	161	168	175	182	189	196	203	210	217	224	231	238	245	252
	データ	35	56	77	98	119	140	161	182	203	224	245	266	287	308	329	350	371	392	413	434	455	476	497	518	539	560	581	602	623	644	665	686

【図 1 2】

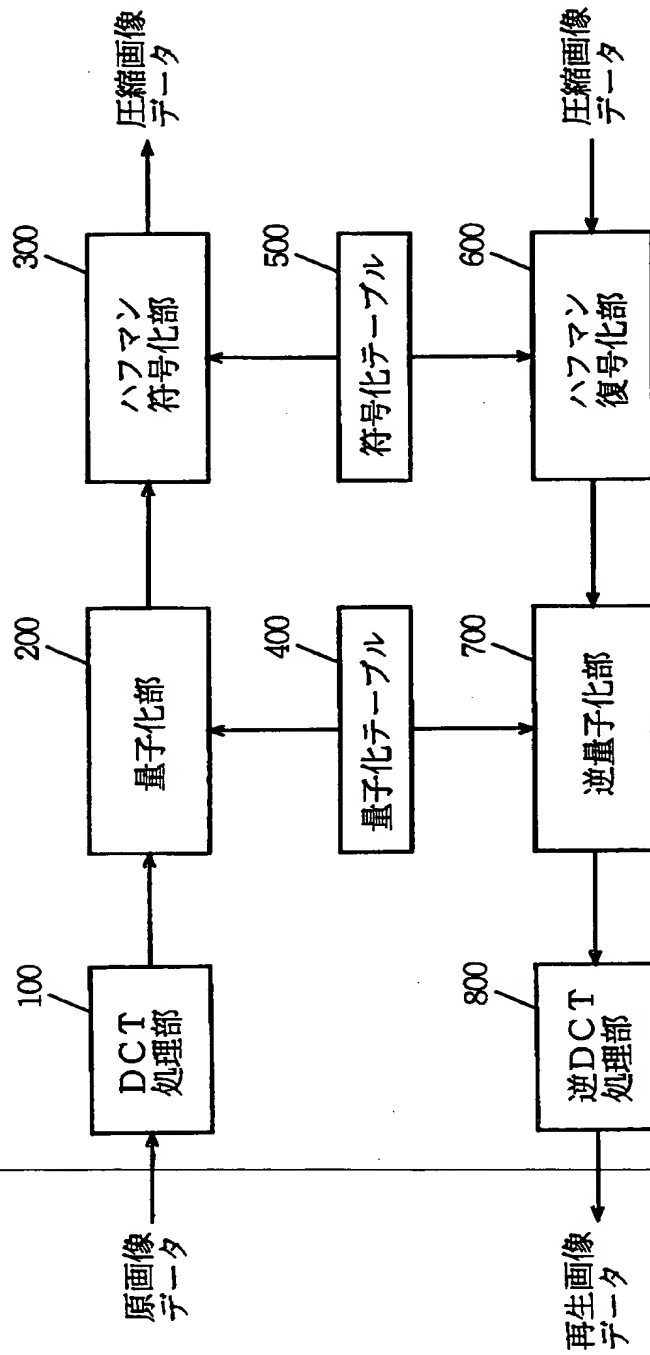
(a)

0	1	2	3	4	5	6	7
8	9	10	11	12	13	14	15
16	17	18	19	20	21	22	23
24	25	26	27	28	29	30	31
32	33	34	35	36	37	38	39
40	41	42	43	44	45	46	47
48	49	50	51	52	53	54	55
56	57	58	59	60	61	62	63

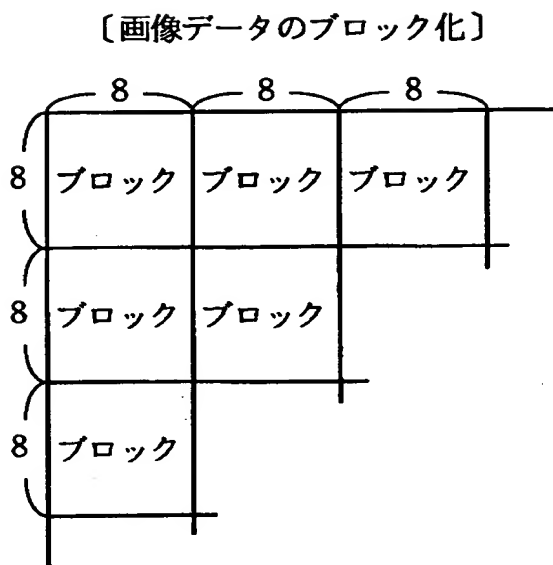
(b)

B0	0	25	2	19	4	13	14	15
B1	8	9	50	59	12	5	6	7
B2	16	17	10	11	20	21	30	23
B3	24	1	18	3	28	37	22	47
B0	40	57	58	35	44	53	38	55
B1	32	41	42	51	60	29	46	63
B2	48	49	26	43	52	61	62	31
B3	56	33	34	27	36	45	54	39

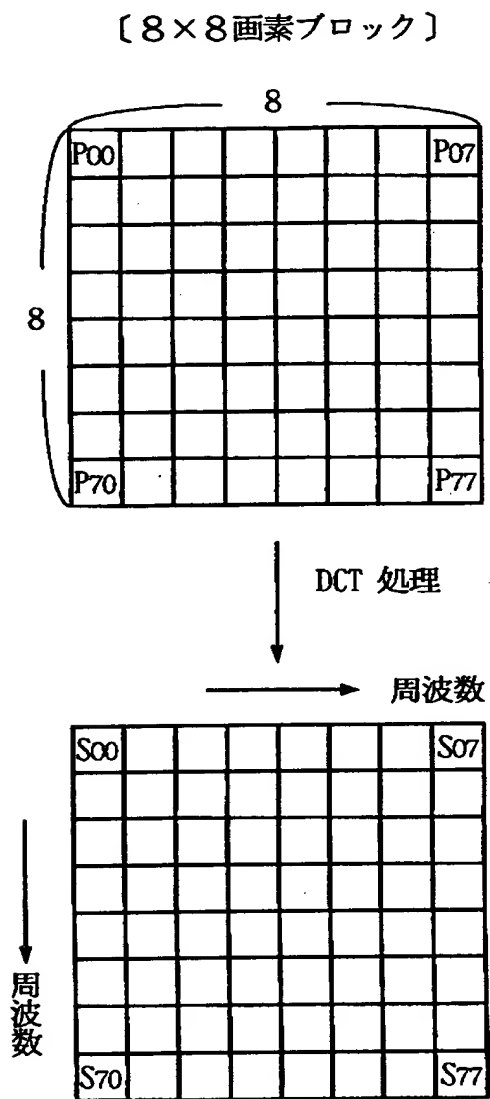
【図 13】



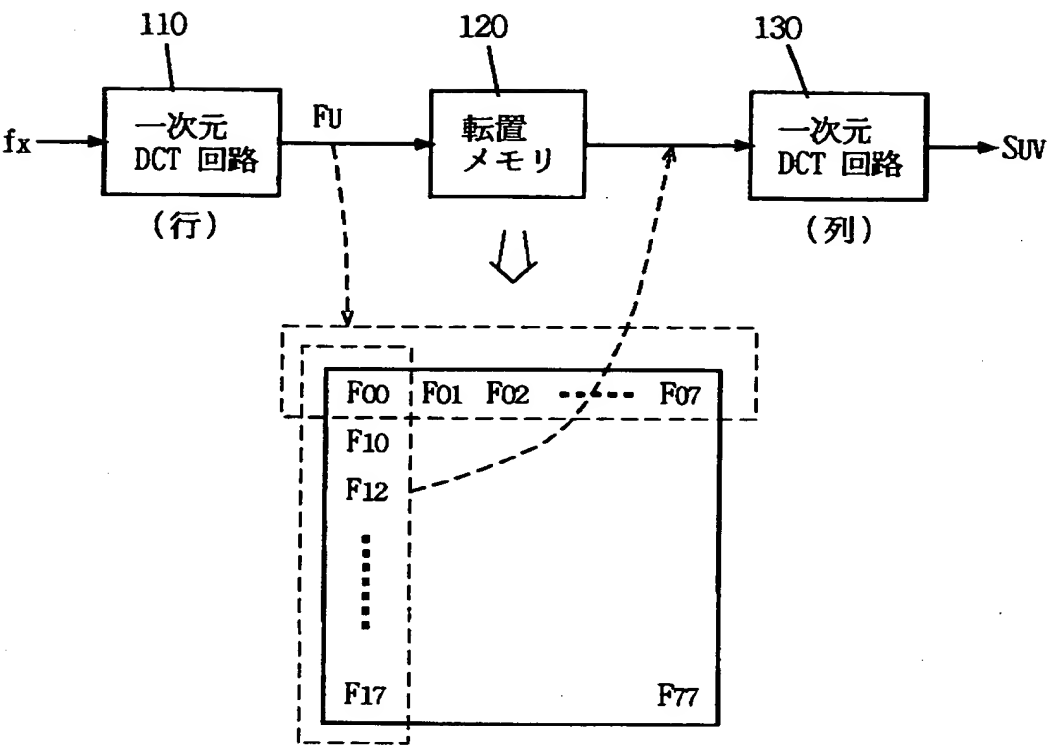
【図 14】



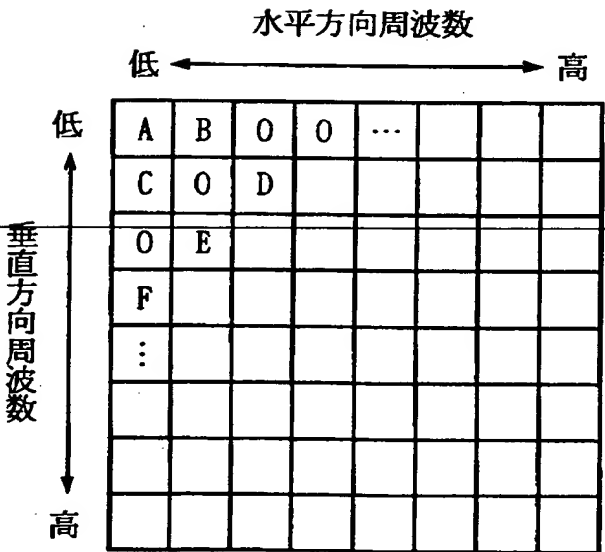
【図 15】



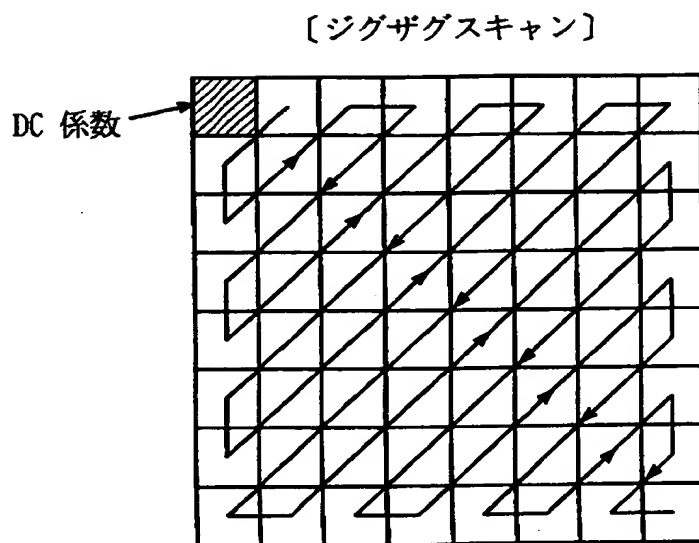
【図 1 6】



【図 1 7】

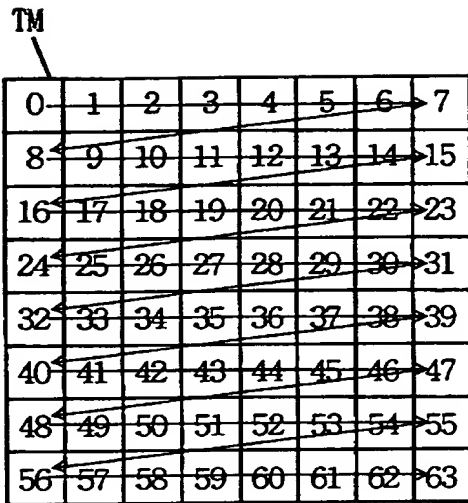


【図 18】



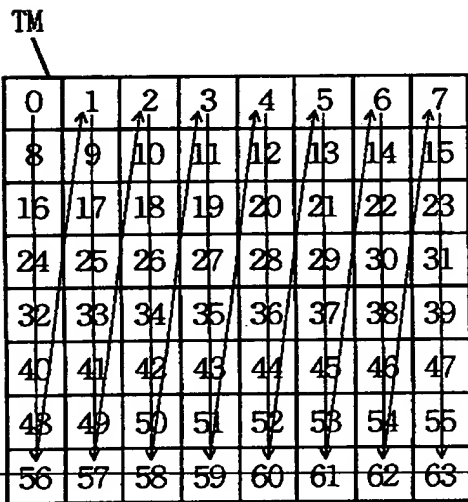
【図 19】

(a)



ラスタスキャン (行方向)

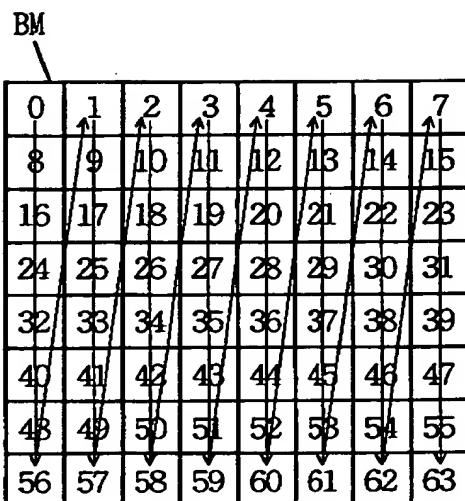
(b)



ラスタスキャン (列方向)

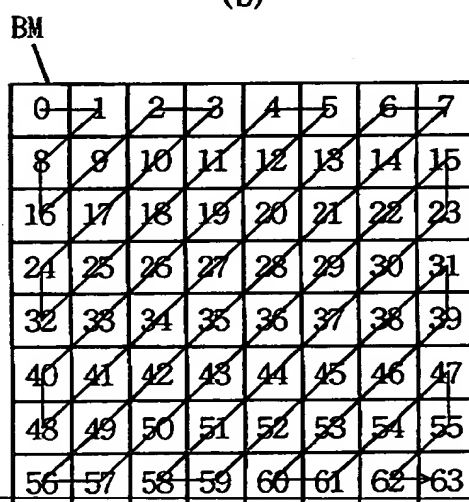
【図 20】

(a)



ラスタスキャン (列方向)

(b)



ジグザグスキャン

【書類名】 要約書

【要約】

【課題】 高速にデータを並べ替えることができるとともに小型化および低コスト化を図ることが可能なデータ処理装置を提供することである。

【解決手段】 ブロックのデータは、行方向のラスタスキャン順において連続する2つのデータが異なるメモリ1, 2に記憶されるとともに、列方向のラスタスキャン順において連続する2つのデータが異なるメモリ1, 2に記憶されるように2つのメモリ1, 2に振り分けられる。書き込み時には行方向のラスタスキャン順において2つのデータがメモリ1, 2に同時に書き込まれ、読み出し時には列方向のラスタスキャン順において連続する2つのデータがメモリ1, 2から同時に読み出される。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000000952
【住所又は居所】 東京都墨田区墨田五丁目 17 番 4 号
【氏名又は名称】 鐘紡株式会社
【代理人】 申請人
【識別番号】 100098305
【住所又は居所】 大阪府吹田市江坂町 1 丁目 23 番 5 号 大同生命江坂第 2 ビル 8 階 福島特許事務所
【氏名又は名称】 福島 祥人

出 願 人 履 歴 情 報

識別番号 [000000952]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都墨田区墨田5丁目17番4号
氏 名	鐘紡株式会社